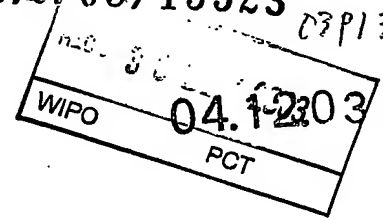


Rec'd PCT/JP 06 JUN 2005 PCT

PCT/JP 03/15523

03/134 5

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 6 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 5 5 3 0 7
[ST. 10/C]: [J P 2 0 0 2 - 3 5 5 3 0 7]

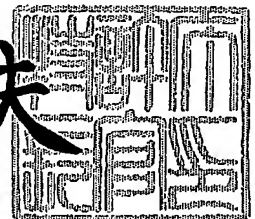
出 願 人
Applicant(s): 日 本 電 気 株 式 会 社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 3 - 3 0 5 9 6 8 2

【書類名】 特許願

【整理番号】 33409942

【提出日】 平成14年12月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H03B 7/06

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 伊東 正治

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 丸橋 建一

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 岸本 修也

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 大畑 恵一

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 負性抵抗回路、及びアクティブフィルタ

【特許請求の範囲】

【請求項 1】 トランジスタと、

前記トランジスタの 3 つの端子にそれぞれ接続される分布定数線路と、
を有する負性抵抗回路であって、

前記負性抵抗回路の出力端子と接地電位間に接続されるインダクタンス素子を
有し、

該インダクタンス素子の値により負性抵抗値が調整される負性抵抗回路。

【請求項 2】 前記インダクタンス素子は、

信号導体と接地電位間を接続する、所望の周波数の $1/4$ 波長よりも短い分布
定数線路である請求項 1 記載の負性抵抗回路。

【請求項 3】 前記分布定数線路は、

信号導体と該信号導体を所定の隙間を有して挟むように配置される接地導体か
ら成るコプレーナ型であり、

前記インダクタンス素子は、

前記隙間の一方のみを横切って前記信号導体と前記接地導体とを接続する導体
片である請求項 1 または 2 記載の負性抵抗回路。

【請求項 4】 トランジスタと、

前記トランジスタの 3 つの端子にそれぞれ接続される分布定数線路と、
を有する負性抵抗回路であって、

前記負性抵抗回路の出力端子と接地電位間に接続されるキャパシタンス素子を
有し、

該キャパシタンス素子の値により負性抵抗値が調整される負性抵抗回路。

【請求項 5】 前記キャパシタンス素子は、

信号導体から分岐しつつ先端が開放された、所望の周波数の $1/4$ 波長よりも
短い分布定数線路である請求項 4 記載の負性抵抗回路。

【請求項 6】 前記分布定数線路は、

信号導体と該信号導体を所定の隙間を有して挟むように配置される接地導体か

ら成るコプレーナ型であり、

前記キャパシタンス素子は、

前記信号導体から分岐しつつ先端が開放された導体片である請求項 4 または 5 記載の負性抵抗回路。

【請求項 7】 前記トランジスタの 3 つの端子のうちの少なくともいずれか一つに複数の分布定数線路が並列に接続された請求項 1 乃至 6 のいずれか 1 項記載の負性抵抗回路。

【請求項 8】 トランジスタと、
前記トランジスタの 3 つの端子にそれぞれ接続される分布定数線路と、
を有する負性抵抗回路であって、
前記トランジスタの 3 つの端子のうちの少なくともいずれか一つに複数の分布定数線路が並列に接続された負性抵抗回路。

【請求項 9】 前記複数の分布定数線路のうちの 하나가、
所望の周波数の $1/4$ 波長より長く $1/2$ 波長より短い、先端が接地電位に短絡された分布定数線路である請求項 7 または 8 記載の負性抵抗回路。

【請求項 10】 前記複数の分布定数線路のうちの 하나가、
所望の周波数の $1/4$ 波長よりも短く、先端が開放された分布定数線路であり、
他は先端が接地電位に短絡された分布定数線路である請求項 7 または 8 記載の負性抵抗回路。

【請求項 11】 前記トランジスタは、電界効果トランジスタである請求項 1 乃至 10 のいずれか 1 項記載の負性抵抗回路。

【請求項 12】 前記複数の分布定数線路が接続される前記端子は、
前記電界効果トランジスタのソースである請求項 11 記載の負性抵抗回路。

【請求項 13】 前記負性抵抗回路の出力端子は、
前記電界効果トランジスタのゲートに接続された分布定数線路を介して設けられ、

前記ゲートに所定の直流電圧を供給するためのバイアス電源と、
前記バイアス電源と前記ゲートに接続された分布定数線路間に接続される抵抗

器と、

を有する請求項 1 1 または 1 2 記載の負性抵抗回路。

【請求項 1 4】 請求項 1 乃至 1 3 のいずれか 1 項記載の負性抵抗回路と、前記負性抵抗回路と直列に接続される共振器と、を有するアクティブフィルタ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はトランジスタと分布定数線路を用いた負性抵抗回路及びその負性抵抗回路を用いたアクティブフィルタに関する。

【0 0 0 2】

【従来の技術】

マイクロ波やミリ波等の高周波帯で使用する発振回路やアクティブフィルタ等には負性抵抗回路が用いられる。負性抵抗回路としては、従来、図 1 9 に示す構成が知られている。

【0 0 0 3】

図 1 9 は従来の負性抵抗回路の構成を示す回路図である。

【0 0 0 4】

図 1 9 は、例えば特許文献 1 の図 1 に記載された電圧制御発振回路と同様の構成である。特許文献 1 では所望の周波数範囲で発振する回路を得るために共振器や負性抵抗回路を構成する各素子の定数が設定されている。したがって、特許文献 1 に記載された構成でも各素子の定数を最適に選択すれば発振しない回路が得られる。その場合、図 1 9 に示した回路とキャパシタンス素子やインダクタンス素子とをそれぞれ複数個用いて組み合わせることでアクティブフィルタを構成できる。以下では、図 1 9 に示した回路をアクティブフィルタで利用する場合で説明する。

【0 0 0 5】

図 1 9 に示すように、従来の負性抵抗回路は、電界効果トランジスタ (FET) 1 0 1 を備え、FET 1 0 1 のドレイン (D) からゲート (G) に正帰還させ

ることで負性抵抗 R_N を得る構成である。FET101のソースには、所望の周波数範囲で容量性となり、ソースを直流的に接地する $\lambda/4 < l_s < \lambda/2$ (λ は所望周波数の1波長)の長さに設定された第1の分布定数線路(長さ l_s)102dが接続されている。

【0006】

FET101のゲート(G)には、第2の分布定数線路(長さ l_g)103を介して高周波的に接地電位に短絡するキャパシタンス素子107aが接続されている。また、FET101のゲートにはバイアス電源106により第2の分布定数線路103を介して所定のバイアス電圧 V_g が印加される。

【0007】

FET101のドレインには、第3の分布定数線路(長さ l_d)104が接続され、第3の分布定数線路104にはキャパシタンス素子107bにより高周波的にドレインを接地電位に短絡する第4の分布定数線路117が接続されている。また、FET101のドレインには、キャパシタンス素子107bと並列に接続されたバイアス電源105により第3、4の分布定数線路104、117を介してバイアス電圧 V_d が印加される。なお、第4の分布定数線路117の長さは所望の周波数の $1/4$ 波長に設定される。このような長さに設定することで、第3の分布定数線路104と第4の分布定数線路117の接続点から見て、所望の周波数における第4の分布定数線路117のインピーダンスが無限大となる。これにより所望の周波数においては第4の分布定数線路117の影響を無視できる。

【0008】

第3の分布定数線路104と出力端子間には、FET101のドレインに印加するバイアス電圧 V_d が出力端子から漏洩するのを防止するため、高周波で低リアクタンスとなるキャパシタンス素子108が挿入されている。

【0009】

なお、図19に示した負性抵抗回路の負性抵抗値は、FET101の3つの端子(S、G、D)に接続された第1～第3の分布定数線路102d、103、104の長さ l_s 、 l_g 、 l_d によって調整される。

【0010】

【特許文献1】

特開平10-93348号

【0011】

【発明が解決しようとする課題】

例えば、図19に示した負性抵抗回路を用いて広帯域なアクティブフィルタを構成する場合、発振することなく安定して動作する回路を得るためには、広い帯域内で一定の負性抵抗値を持つ負性抵抗回路が必要とされる。

【0012】

図20に示すように、アクティブフィルタを、例えば所望の周波数の $n/4$ 波長の分布定数線路(n は正の整数)からなる共振器119と、共振器119を終端する負性抵抗回路118とを有する構成にすると、共振器119を無損失とするためには負性抵抗回路118の抵抗値 R_N を以下のように設定する必要がある。なお、共振器119の負性抵抗回路118と接続されない端部は、 n が奇数のとき開放され、 n が偶数のとき接地電位に短絡される。

【0013】

まず、負性抵抗回路118から出力される電磁波が共振器119の他端で反射されて負性抵抗回路118へ戻るまでの損失 L は下記式(1)で表される。

【0014】

また、負性抵抗回路118の反射利得 Γ は下記式(2)で表される。

【0015】

したがって、下記式(3)の条件を満足すれば、共振器119全体が無損失と見なすことができる。式(3)を負性抵抗値 R_N について解くと、負性抵抗値 R_N が満足すべき条件式(4)が得られる。

【0016】

【数 1】

$$L = e^{-n\lambda\alpha/2} \quad \dots(1)$$

$$\Gamma = \left| \frac{R_N - Z_0}{R_N + Z_0} \right| \quad \dots(2)$$

$$L \times \Gamma = 1 \quad \dots(3)$$

$$R_N = \frac{-Z_0(e^{n\lambda\alpha/2} - 1)}{e^{n\lambda\alpha/2} + 1} \quad \dots(4)$$

(但し、 Z_0 は分布定数線路の特性インピーダンス、 λ は所望の周波数の波長、 α は減衰定数)

【0017】

この式(4)で示す負性抵抗の絶対値は、数 Ω 程度(例えば、GaAs上に形成した接地間距離70 μ mの1/4波長コプレーナ線路型共振器の場合、電磁界シミュレータにより計算した結果は $\sim 1\Omega$ であった)である。

【0018】

実際の回路では、共振器119と負性抵抗回路118の接続点や開放端(または短絡端)における放射による損失のため、負性抵抗値が上記式(4)よりも大きくなるが、アクティブフィルタとして用いる場合に必要な抵抗値は、通常、10 Ω 以下である。

【0019】

図19に示した従来の負性抵抗回路の負性抵抗値の周波数特性を図21のグラフに示す。なお、図21はシミュレーション結果である。

【0020】

図21に示すように、従来の負性抵抗回路は、35GHz \sim 60GHzでは一定で、かつ比較的小さな負性抵抗値が得られるが、60GHzを越えると負性抵抗値が急激に増大し、その後急激に減少する。したがって、広帯域で一定な負性抵抗値、特に数 Ω 程度の小さな負性抵抗値を得ることが困難であった。

【0021】

また、従来の負性抵抗回路を用いたアクティブフィルタでは、負性抵抗回路1

18と共振器119とを直接接続するため、FETの特性ばらつきによってフィルタ特性が大きく変動する問題があった。したがって、所望のフィルタ特性を得るためにFETの各端子に接続する分布定数線路の長さをそれぞれ調整しなければならないため、調整が困難であるという問題があった。

【0022】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、広い帯域で一定な負性抵抗値が得られるとともに、調整し易い構造の分布定数線路から成る負性抵抗回路を提供することを目的とする。

【0023】

【課題を解決するための手段】

上記目的を達成するため本発明の負性抵抗回路は、トランジスタと、前記トランジスタの3つの端子にそれぞれ接続される分布定数線路と、を有する負性抵抗回路であって、

前記負性抵抗回路の出力端子と接地電位間に接続されるインダクタンス素子を有し、

該インダクタンス素子の値により負性抵抗値が調整される構成である。

【0024】

このとき、前記インダクタンス素子は、

信号導体と接地電位間を接続する、所望の周波数の $1/4$ 波長よりも短い分布定数線路であつてもよく、

前記分布定数線路は、

信号導体と該信号導体を所定の隙間を有して挟むように配置される接地導体から成るコプレーナ型であり、

前記インダクタンス素子は、

前記隙間の一方のみを横切つて前記信号導体と前記接地導体とを接続する導体片であつてもよい。

【0025】

また、本発明の負性抵抗回路の他の構成は、トランジスタと、

前記トランジスタの3つの端子にそれぞれ接続される分布定数線路と、

を有する負性抵抗回路であって、

前記負性抵抗回路の出力端子と接地電位間に接続されるキャパシタンス素子を有し、

該キャパシタンス素子の値により負性抵抗値が調整される構成である。

【0026】

このとき、前記キャパシタンス素子は、

信号導体から分岐しつつ先端が開放された、所望の周波数の $1/4$ 波長よりも短い分布定数線路であてもよく、

前記分布定数線路は、

信号導体と該信号導体を所定の隙間を有して挟むように配置される接地導体から成るコプレーナ型であり、

前記キャパシタンス素子は、

前記信号導体から分岐しつつ先端が開放された導体片であってもよい。

【0027】

さらに、本発明の負性抵抗回路の他の構成は、トランジスタと、

前記トランジスタの3つの端子にそれぞれ接続される分布定数線路と、
を有する負性抵抗回路であって、

前記トランジスタの3つの端子のうちの少なくともいずれか一つに複数の分布定数線路が並列に接続された構成である。

【0028】

ここで、前記複数の分布定数線路のうちの一つは、

所望の周波数の $1/4$ 波長より長く $1/2$ 波長より短い、先端が接地電位に短絡された分布定数線路であってもよい。

【0029】

または、前記複数の分布定数線路のうちの 하나가、

所望の周波数の $1/4$ 波長よりも短く、先端が開放された分布定数線路であり、

他は先端が接地電位に短絡された分布定数線路であってもよい。

【0030】

上記トランジスタは、電界効果トランジスタであってもよく、
前記複数の分布定数線路が接続される前記端子は、
前記電界効果トランジスタのソースであってもよい。

【0031】

さらに、前記負性抵抗回路の出力端子は、
前記電界効果トランジスタのゲートに接続された分布定数線路を介して設けられ、
前記ゲートに所定の直流電圧を供給するためのバイアス電源と、
前記バイアス電源と前記ゲートに接続された分布定数線路間に接続される抵抗器と、
を有する構成であってもよい。

【0032】

一方、本発明のアクティブフィルタは、
上記いずれか記載の負性抵抗回路と、
前記負性抵抗回路と直列に接続される共振器と、
を有する構成である。

【0033】

上記のように構成された負性抵抗回路では、負性抵抗回路の出力端子と接地電位間に接続されるインダクタンス素子、またはキャパシタンス素子を有することで、負性抵抗値を容易に調整することができる。

【0034】

また、トランジスタの3つの端子のうちの少なくともいずれか一つ（特にトランジスタが電界効果トランジスタの場合はそのソース）に複数の分布定数線路が並列に接続されていることで、広い周波数範囲で一定な負性抵抗値が得られるように容易に調整できる。

【0035】

また、電界効果トランジスタのゲート側に出力端子を設けた構成であるため、従来の負性抵抗回路のように、直流に対してインピーダンスが小さく、所望周波数でインピーダンスが無限大となる出力側の分布定数線路が不要になる。

【 0 0 3 6 】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【 0 0 3 7 】

(第 1 の実施の形態)

図 1 は本発明の負性抵抗回路の第 1 の実施の形態の構成を示す回路図であり、図 2 は図 1 に示したインダクタンス素子の構成例を示す図であり、同図 (a) は分布定数線路による対称型の構成を示す平面図、同図 (b) は非対称型の構成を示す平面図である。

【 0 0 3 8 】

図 1 に示すように、第 1 の実施の形態の負性抵抗回路は、電界効果トランジスタ (F E T) 1 を備え、F E T 1 のドレイン (D) からゲート (G) に正帰還させることで負性抵抗を得る構成である。F E T 1 のソースには、所望の周波数範囲で容量性となり、ソースを直流的に接地する $\lambda / 4 < l_s < \lambda / 2$ (λ は所望周波数の 1 波長) の長さに設定された第 1 の分布定数線路 (長さ l_s) 2 a が接続される。

【 0 0 3 9 】

F E T 1 のドレイン (D) には、第 2 の分布定数線路 (長さ l_d) 3 を介して、高周波的に接地電位に短絡するキャパシタンス素子 7 a が接続されている。また、F E T 1 のドレインにはバイアス電源 5 により第 2 の分布定数線路 3 を介して所定のバイアス電圧 V_d が印加される。

【 0 0 4 0 】

F E T 1 のゲートには、第 3 の分布定数線路 (長さ l_g) 4 が接続されている。また、F E T 1 のゲートには、抵抗値が大きい抵抗器 9 (数 $K \Omega$) を介してバイアス電源 6 より所定のバイアス電圧 V_g が印加される。第 3 の分布定数線路 4 と出力端子間には、F E T 1 のゲートに印加するバイアス電圧 V_g が出力端子から漏洩するのを防止するため、高周波で低リアクタンスとなるキャパシタンス素子 8 が挿入されている。さらに、出力端子と接地電位間には負性抵抗値を調整するためのインダクタンス素子 1 0 が接続されている。

【0041】

インダクタンス素子10は、例えば、伝送線路をコプレーナ型で構成する場合、図2(a)に示すように、信号導体11とその両側に隙間12を挟んで形成される接地導体13とを接続する、所望の周波数における波長に対して十分に短い導体片14(長さ1)を設けることで実現できる。または、図2(b)に示すように、信号導体11の両側に隙間12を挟んで形成される接地導体13のうち、一方の接地導体13と信号導体11とを接続する、上記波長に対して十分に短い導体片14(長さ1)を設けることで実現できる。

【0042】

図3に示すグラフは、インダクタンス素子10を図2(a)に示した構成(対称型)、及び図2(b)に示した構成(非対称型)とした場合の導体片14の長さ1に対するインダクタンスLの変化を示すシミュレーション結果である。図3に示すように、インダクタンス素子10を非対称型の導体片14を用いて構成した方がより大きなインダクタンスを得ることが可能であり、小型化できることが分かる。

【0043】

図1に示すように、本実施形態の負性抵抗回路では、入力インピーダンスが大きいFET1のゲート側に出力端子を設けた構成であるため、FET1のゲートに電流を供給する必要がほとんど無い。したがって、所定のバイアス電流をドレインに供給する従来の負性抵抗回路のように、直流に対してインピーダンスが小さく、所望周波数でインピーダンスが無限大となる出力側の分布定数線路が不要になる。そのため、従来の構成に比べて回路構成が簡易になり小型化できる。

【0044】

このような構成において、本実施形態の負性抵抗回路では、所望の周波数範囲で負性抵抗値がほぼ一定となるようにFET1の各端子に接続する第1の分布定数線路2aの長さ l_{s1} 、第2の分布定数線路3の長さ l_d 、及び第3の分布定数線路4の長さ l_g がそれぞれ調整される。また、負性抵抗値は出力端子と接地電位間に接続されるインダクタンス素子10の値によって調整される。

【0045】

次に、図1に示した負性抵抗回路の第1の分布定数線路2a～第3の分布定数線路4の長さ及びインダクタンス素子10の値により負性抵抗値が調整可能となる理由を図面を用いて説明する。なお、以下では、図1に示した負性抵抗回路の出力端子に 50Ω の負荷が接続され、キャパシタンス素子7aの容量 $C=3.0\text{ pF}$ 、バイアス電圧 $V_d=3.0\text{ V}$ 、バイアス電圧 $V_g=-0.4\text{ V}$ 、抵抗器9の抵抗値 $R=10\text{ K}\Omega$ 、キャパシタンス素子8の容量が直流成分の遮断に必要な十分に大きい値である場合を例にして説明する。

【0046】

まず、負性抵抗回路の出力端子に接続されるインダクタンス素子10を 60 pH で固定し、FET1のソースに接続する第1の分布定数線路2aを負性抵抗回路として必要な帯域($40\sim 80\text{ GHz}$)において容量性となる長さ($l_{s1}=700\text{ }\mu\text{m}$)に設定する。また、FET1のドレインに接続する第2の分布定数線路3を上記帯域内で誘導性となる長さ($l_d=50\text{ }\mu\text{m}$)に設定する。最後に、FET1のゲートに接続する第3の分布定数線路4の長さ l_g を上記帯域内で負性抵抗値がほぼ平坦になるように調整する。

【0047】

図4は図1に示した第3の分布定数線路の長さにより負性抵抗値の周波数特性が変化する様子を示すグラフである。なお、図4はシミュレーション結果である。

【0048】

図4に示すように、第3の分布定数線路4の長さ l_g が短いと($l_g=420\text{ }\mu\text{m}$)負性抵抗値が低い周波数で大きくなり、第3の分布定数線路4の長さ l_g が長いと($l_g=620\text{ }\mu\text{m}$)負性抵抗値が高い周波数で大きくなる。図4に示す例では、第3の分布定数線路4の長さ $l_g=520\text{ }\mu\text{m}$ のとき、必要な帯域($40\sim 80\text{ GHz}$)において負性抵抗値がほぼ一定になることが分かる。なお、第3の分布定数線路4の長さ l_g を変えても負性抵抗が得られる周波数範囲は変化しない。

【0049】

一方、第3の分布定数線路4の長さ $l_g=520\text{ }\mu\text{m}$ で固定し、FET1のド

ラインに接続する第2の分布定数線路3の長さ $l d$ を変化させると、負性抵抗特性は図5に示すグラフのようになる。

【0050】

図5は図1に示した第2の分布定数線路の長さにより負性抵抗値の周波数特性が変化する様子を示すグラフである。なお、図5はシミュレーション結果である。

【0051】

図5に示すように、第2の分布定数線路3の長さ $l d = 50 \mu m$ のとき負性抵抗が得られる周波数範囲は $40 \sim 80 GHz$ であり、 $l d = 300 \mu m$ のとき負性抵抗が得られる周波数範囲は $40 \sim 70 GHz$ となり、 $l d = 500 \mu m$ のとき負性抵抗が得られる周波数範囲は $40 \sim 50 GHz$ となる。すなわち、第2の分布定数線路3の長さ $l d$ を長くすると、負性抵抗が得られる上限の周波数が低下していくことが分かる。これは、負性抵抗が得られる上限の周波数以上においては第2の分布定数線路3が容量性となるためである。

【0052】

上記第1の分布定数線路2a～第3の分布定数線路4の長さの調整が完了後、インダクタンス素子10の値のみを変化させると負性抵抗特性は図6に示すグラフのようになる。

【0053】

図6は図1に示したインダクタンス素子の値により負性抵抗値の周波数特性が変化する様子を示すグラフである。なお、図6はシミュレーション結果である。

【0054】

図6に示すように、負性抵抗値はインダクタンス素子10の値 $L = 40 p H$ のとき、約 -2Ω (平坦部位の値) であり、 $L = 60 p H$ のとき、約 -3Ω (平坦部位の値) であり、 $L = 80 p H$ のとき、約 -4Ω (平坦部位の値) となる。すなわち、負性抵抗値はインダクタンス素子10の値に比例する。但し、図6に示す例では、インダクタンス素子10の値が変化すると負性抵抗特性の平坦性も変化する。

【0055】

図1に示した回路は、インダクタンス素子10を除く回路構成を抵抗器Rで置き換えると、図7に示す回路と等価となる。

【0056】

したがって、図1に示した回路全体のインピーダンスZは、

【0057】

【数2】

$$Z = \frac{1}{\frac{1}{R} + \frac{1}{j\omega L}} = \frac{j\omega LR}{R + j\omega L}$$

$$= \frac{j\omega LR^2 + \omega^2 L^2 R}{R^2 + \omega^2 L^2}$$

で表すことが可能であり、 $L=0$ のとき $Z=0$ 、 $L=\infty$ のとき $Z=R$ となる。このことから、図1に示した回路の負性抵抗値がインダクタンス素子10の値で調整できることが分かる。

【0058】

(第2の実施の形態)

図8は本発明の負性抵抗回路の第2の実施の形態の構成を示す回路図である。

【0059】

図8に示すように、第2の実施の形態の負性抵抗回路は、図1に示した第1の分布定数線路2a(長さ l_{s1})と並列に第4の分布定数線路2b(長さ l_{s2})がFETのソース(S)に接続された構成である(但し、 $l_{s1} > l_{s2}$)。その他の構成は第1の実施の形態と同様であるため、その説明は省略する。

【0060】

このような構成では、FETのソースから見て第1の分布定数線路2a及び第4の分布定数線路2bの反射係数の位相が周波数に対して非線形に変化する。図9はこの様子を示したグラフである。図9に示したグラフは、第1の分布定数線路2aの長さ l_{s1} を $700\mu\text{m}$ で固定し、第4の分布定数線路2bの長さ l_{s2} を $l_{s1} > l_{s2}$ の条件下で変化させたときの周波数変化に対する位相特性を示

している。なお、図9の「シングルスタブ」は図1に示したFETのソースに第1の分布定数線路2aのみ接続された構成の特性を示し、「ダブルスタブ」は図8に示したFETのソースに第1の分布定数線路2a及び第4の分布定数線路2bが接続された構成の特性を示している。

【0061】

図9に示すように、FETのソースに第1の分布定数線路2aのみ接続された構成では、周波数の変化に対して位相が線形に変化する。一方、FETのソースに第1の分布定数線路2a及び第4の分布定数線路2bが接続された構成では、それらの分布定数線路が容量性となる周波数の上限を保ったまま該上限以下の周波数変化に対して位相が非線形に変化する。また、第4の分布定数線路2bの長さ l_{s2} を変化させることで非線形性特性を調整できることが分かる。但し、第4の分布定数線路2bの長さ l_{s2} を変化させると容量性となる下限の周波数が高くなる。

【0062】

本実施形態の負性抵抗回路では、第1の実施の形態と同様に所望の周波数範囲で負性抵抗値がほぼ一定となるようにFET1の各端子に接続する第1の分布定数線路の長さ l_{s1} 、第2の分布定数線路の長さ l_d 、第3の分布定数線路の長さ l_g 、及び第4の分布定数線路2bがそれぞれ調整される。

【0063】

このとき、本実施形態の負性抵抗回路では、上記上限以下の周波数変化に対して位相変化に非線形性を持たせることができるため、第1の実施の形態に比べて広帯域で一定な負性抵抗値を容易に得ることができる。

【0064】

このとき、負性抵抗値は第1の実施の形態と同様に出力端子と接地電位間に接続されるインダクタンス素子の値によって調整される。

【0065】

図10は図8に示したインダクタンス素子の値により負性抵抗値の周波数特性が変化する様子を示すグラフである。なお、図8はシミュレーション結果である。

【0066】

図10に示すように、本実施形態の負性抵抗回路では、第1の実施の形態と同様にインダクタンス素子の値に比例する負性抵抗値が得られる。また、インダクタンスの変化に対する負性抵抗特性の平坦性は第1の実施の形態に比べて改善していることが分かる。本実施形態では、FETのソースに接続する分布定数線路による位相の非線形性により誘導性から容量性に転換する周波数が高くなる。したがって、図10に示すように、負性抵抗が得られる下限の周波数が高くなる。

【0067】

(第3の実施の形態)

図11は本発明の負性抵抗回路の第3の実施の形態の構成を示す回路図である。

【0068】

図11に示すように、第3の実施の形態の負性抵抗回路は、FETのソースに接続する分布定数線路として、所望の周波数の $1/4$ 波長以下の長さに設定され、かつ先端が開放された第5の分布定数線路2c（長さ1s3）と、第5の分布定数線路2cと並列に接続される先端が接地電位に短絡された第6の分布定数線路2d（長さ1s4）とを有する構成である。その他の構成は第1の実施の形態と同様であるため、その説明は省略する。

【0069】

このような構成でも、図12に示すようにFETのソースから見て第5の分布定数線路2c及び第6の分布定数線路2dの反射係数の位相が周波数に対して非線形に変化する。したがって、本実施形態の負性抵抗回路も第2の実施の形態と同様の効果を得ることができる。

【0070】

なお、第2の実施の形態及び第3の実施の形態では、FETのソースに2つの分布定数線路が接続される構成を示しているが、ソースに接続する分布定数線路の数は3つ以上であってもよい。その場合、複数の分布定数線路を全て接地電位に短絡する構成では（第2の実施の形態参照）、いずれか一つを所望の周波数範囲で容量性となり、ソースを直流的に接地する $\lambda/4 < 1s < \lambda/2$ の長さに設

定し、他の分布定数線路をそれよりも短く設定すればよい。

【0071】

また、複数の分布定数線路のうち、少なくともいずれか一つを開放する構成では（第3の実施の形態）、先端が開放された分布定数線路を $1/4$ 波長以下に設定し、先端が接地電位に短絡された分布定数線路を $1/2$ 波長以下に設定すればよい。

【0072】

（第4の実施の形態）

図13は本発明の負性抵抗回路の第4の実施の形態の構成を示す回路図である。

【0073】

第4の実施の形態の負性抵抗回路は、図13に示すように、図1に示した第1の実施の形態の出力端子に接続されたインダクタンス素子に代えて、キャパシタンス素子15を接続した構成である。その他の構成は第1の実施の形態と同様であるため、その説明は省略する。

【0074】

キャパシタンス素子15は、例えば、伝送線路をコプレーナ型で構成する場合、図14に示すように、接地導体23内に隙間22を挟んで形成される信号導体21から分岐するように設けられた、所望の周波数における波長に対して十分に短い先端が開放された導体片16で実現できる。このように、キャパシタンス素子を導体片（分布定数線路）で構成することで、集中定数を用いた構成に比べて高精度なキャパシタンス素子を実現できる。

【0075】

ところで、図13に示した回路は、キャパシタンス素子15を除く回路構成を抵抗器Rで置き換えると、図15に示す回路と等価となる。

【0076】

したがって、図13に示した回路全体のインピーダンスZは、

【0077】

【数 3】

$$Z = \frac{1}{\frac{1}{R} + j\omega C} = \frac{R}{1 + j\omega CR}$$
$$= \frac{R - j\omega CR^2}{1 + \omega^2 C^2 R^2}$$

となり、 $C = 0$ のとき $Z = R$ 、 $C = \infty$ のとき $Z = 0$ となる。このことから、図 13 に示した回路の負性抵抗値はキャパシタンス素子 15 の値で調整できることが分かる。

【0078】

(第 5 の実施の形態)

図 16 は本発明の負性抵抗回路の第 5 の実施の形態の構成を示す回路図である。

【0079】

図 16 に示すように、第 5 の実施の形態の負性抵抗回路は、図 8 に示した第 2 の実施の形態の構成から出力端子と接地電位間に接続されたインダクタンス素子を除去した構成である。その他の構成は第 2 の実施の形態と同様であるため、その説明は省略する。

【0080】

負性抵抗値は、従来の技術で説明したように FET の 3 つの端子に接続する各分布定数線路の長さを変更することでも調整が可能である。

【0081】

本実施例の負性抵抗回路は、第 2 の実施の形態の負性抵抗回路と同様に、FET のソースに接続する分布定数線路が 2 本であるため、広い帯域で一定な負性抵抗値が得やすい効果がある。したがって、従来の負性抵抗回路よりも、FET の 3 つの端子に接続する各分布定数線路の長さで負性抵抗値を容易に調整できる。

【0082】

第 5 の実施の形態では、図 8 に示した第 2 の実施の形態の構成から出力端子と

接地電位間に接続されたインダクタンス素子を除去した構成を示したが、図 11 に示した第 3 の実施の形態の構成からインダクタンス素子を除去した構成も同様の効果を有している。

【0083】

なお、上記第 1 の実施の形態～第 5 の実施の形態では、電界効果トランジスタ (FET) を用いて負性抵抗回路を構成した例を示したが、FET に代えてバイポーラトランジスタを用いた場合も同様の特性及び効果を得ることができる。

【0084】

また、本発明の負性抵抗回路は、第 1 の実施の形態～第 5 の実施の形態で示した FET のソースとドレインを入れ換えた回路構成であってもよい。その場合、ドレインに複数の分布定数線路が接続される。なお、調整が複雑になるが FET のゲートに複数の分布定数線路を接続する構成も本発明の変形例として許容できる。

【0085】

さらに、第 1 の実施の形態～第 5 の実施の形態では、インダクタンス素子及びキャパシタンス素子を、コプレーナ型の伝送線路上に導体片を設けることで実現する例を示したが、インダクタンス素子及びキャパシタンス素子には集中定数素子を用いてもよい。また、伝送線路がマイクロストリップ線路である場合は、負性抵抗回路が搭載される基板に、基板の裏面に形成された接地導体と繋がるスルーホールを設け、マイクロストリップ線路上に設けた導体片を、スルーホールを介して回路搭載面に形成された接地導体と接続することでインダクタンス素子を実現してもよい。また、マイクロストリップ線路から分岐され、先端が開放された導体片によってキャパシタンス素子を実現してもよい。

【0086】

(第 6 の実施の形態)

第 6 の実施の形態では、第 1 の実施の形態～第 5 の実施の形態で示した負性抵抗回路を用いたアクティブフィルタを提案する。

【0087】

図 17 は本発明のアクティブフィルタの一構成例を示す回路図である。

【0088】

図17に示すアクティブフィルタは、高域通過フィルタの構成例であり、入出力端子間に直列に接続された複数のキャパシタンス素子 $C_1 \sim C_{n-1}$ (n は正の整数)と、各キャパシタンス素子間の接続ノードと接地電位間に直列に接続されるインダクタンス素子 $L_1 \sim L_n$ 、及び負性抵抗回路 $R_{N1} \sim R_{Nn}$ とを有する構成である。負性抵抗回路 $R_{N1} \sim R_{Nn}$ には第1の実施の形態～第5の実施の形態で示した回路が用いられる。

【0089】

このような構成の高域通過フィルタの損失の主要因はインダクタンス素子による損失であるので、各インダクタンス素子 $L_1 \sim L_n$ の抵抗成分と負性抵抗回路の抵抗値 $R_{N1} \sim R_{Nn}$ が等しいとき、図17に示した高域通過フィルタは無損失とみなせる。

【0090】

インダクタンス素子 $L_1 \sim L_n$ には、所望の周波数の $1/4$ 波長 ($\lambda/4$) よりも十分に短い分布定数線路 (特性インピーダンス Z_0 、減衰定数 α 、伝搬係数 β 、長さ l_n) を用いて実現することが可能であり、そのときのインダクタンスは式(5)で近似できる。また、必要な負性抵抗値は式(6)で表すことができる。

【0091】

【数4】

$$L_n = \frac{Z_0 \beta l_n}{\omega} \quad \dots(5)$$

$$R_{Nn} = \frac{-Z_0 (e^{2l_n \alpha} - 1)}{e^{2l_n \alpha} + 1} \quad \dots(6)$$

【0092】

なお、第1の実施の形態～第5の実施の形態で示した負性抵抗回路は、1端子対回路であるため低域通過フィルタは実現できないが、例えば、図18に示す並列接続型のフィルタを構成すれば、帯域通過フィルタに用いることができる。

【0093】

図18は本発明のアクティブフィルタの他の構成例を示す回路図である。

【0094】

図18に示す帯域通過フィルタは、直列に接続された2つの負性抵抗回路 R_N 及び共振器30と、共振器30間を結合する第1のキャパシタンス素子31と、入力端子と出力端子間を結合するインダクタンス素子32と、一方の共振器30と入力端子間を結合する第2のキャパシタンス素子33と、他方の共振器30と出力端子間を結合する第3のキャパシタンス素子34とを有する構成である。負性抵抗回路 $R_{N1} \sim R_{Nn}$ は第1の実施の形態～第5の実施の形態で示した回路が用いられ、共振器30は、例えば、所望の周波数の $1/4$ 波長の分布定数線路を用いて構成される。

【0095】

また、インダクタンス素子32は、図2で示した分布定数線路で形成することが可能であり、第1のキャパシタンス素子31、第2のキャパシタンス素子33、及び第3のキャパシタンス素子34は、所定の隙間を有して配置された2本の伝送線路で形成することが可能である。

【0096】

なお、図18に示した帯域通過フィルタでは、2つの直列に接続した負性抵抗回路 R_N 及び共振器を用いた構成を示したが、負性抵抗回路 R_N 及び共振器の数はいくつであっても帯域通過フィルタを構成できる。このような帯域通過フィルタの構成は、例えば、Uwe Rosenberg et al., "Novel Coupling Schemes for Microwave Resonator Filters" IEEE IMS2002 Digest, pp.1605-1608に記載されている。

【0097】

本実施形態のアクティブフィルタの構成によれば、第1の実施の形態～第5の実施の形態で示した広い帯域内で一定の負性抵抗値を持つ負性抵抗回路を用いて構成しているため、発振することなく安定して動作するフィルタ回路を得ることができる。

【0098】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0099】

負性抵抗回路の出力端子と接地電位間に接続されるインダクタンス素子、またはキャパシタンス素子を有することで、負性抵抗値を容易に調整することができる。

【0100】

また、トランジスタの3つの端子のうちの少なくともいずれか一つ（特にトランジスタが電界効果トランジスタの場合はそのソース）に複数の分布定数線路が並列に接続されていることで、広い周波数範囲で一定な負性抵抗値が得られるように容易に調整できる。

【0101】

また、電界効果トランジスタのゲート側に出力端子を設けた構成であるため、従来の負性抵抗回路のように、直流に対してインピーダンスが小さく、所望周波数でインピーダンスが無限大となる出力側の分布定数線路が不要になる。そのため、従来の構成に比べて回路構成が簡易になり小型化できる。

【0102】

一方、本発明のアクティブフィルタは、広い帯域内で一定の負性抵抗値を持つ本発明の負性抵抗回路を用いて構成するため、発振することなく安定して動作するフィルタ回路を得ることができる。

【図面の簡単な説明】**【図1】**

本発明の負性抵抗回路の第1の実施の形態の構成を示す回路図である。

【図2】

図1に示したインダクタンス素子の構成例を示す図であり、同図（a）は分布定数線路による対称型の構成を示す平面図、同図（b）は非対称型の構成を示す平面図である。

【図3】

図 1 に示したインダクタンス素子の分布定数線路の長さに対するインダクタンスの変化を示すシミュレーション結果である。

【図 4】

図 1 に示した第 3 の分布定数線路の長さにより負性抵抗値の周波数特性が変化する様子を示すグラフである。

【図 5】

図 1 に示した第 2 の分布定数線路の長さにより負性抵抗値の周波数特性が変化する様子を示すグラフである。

【図 6】

図 1 に示したインダクタンス素子の値により負性抵抗値の周波数特性が変化する様子を示すグラフである。

【図 7】

図 1 に示した負性抵抗回路の等価回路を示す回路図である。

【図 8】

本発明の負性抵抗回路の第 2 の実施の形態の構成を示す回路図である。

【図 9】

図 8 に示した負性抵抗回路の F E T のソースから見た第 1 の分布定数線路及び第 4 の分定数線路の周波数に対する反射係数の位相の変化を示すグラフである。

【図 10】

図 8 に示したインダクタンス素子の値により負性抵抗値の周波数特性が変化する様子を示すグラフである。

【図 11】

本発明の負性抵抗回路の第 3 の実施の形態の構成を示す回路図である。

【図 12】

図 11 に示した負性抵抗回路の F E T のソースから見た第 5 の分布定数線路及び第 6 の分定数線路の周波数に対する反射係数の位相の変化を示すグラフである。

【図 13】

本発明の負性抵抗回路の第 4 の実施の形態の構成を示す回路図である。

【図 14】

図 13 に示したキャパシタンス素子の分布定数線路を用いた構成例を示す平面図である。

【図 15】

図 13 に示した負性抵抗回路の等価回路を示す回路図である。

【図 16】

本発明の負性抵抗回路の第 5 の実施の形態の構成を示す回路図である。

【図 17】

本発明のアクティブフィルタの一構成例を示す回路図である。

【図 18】

本発明のアクティブフィルタの他の構成例を示す回路図である。

【図 19】

従来の負性抵抗回路の構成を示す回路図である。

【図 20】

負性抵抗回路を用いて損失補償する構成例を示す回路図である。

【図 21】

図 19 に示した負性抵抗回路の負性抵抗値の周波数特性を示すグラフである。

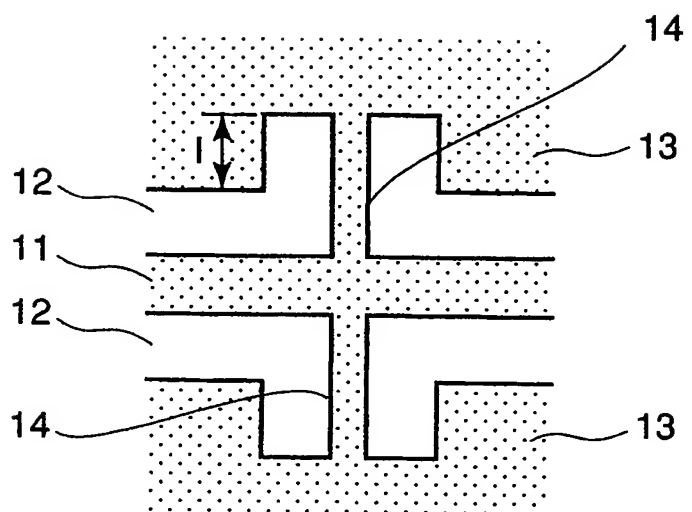
【符号の説明】

- 1 FET
- 2 a 第 1 の分布定数線路
- 2 b 第 4 の分布定数線路
- 2 c 第 5 の分布定数線路
- 2 d 第 6 の分布定数線路
- 3 第 2 の分布定数線路
- 4 第 3 の分布定数線路
- 5、6 バイアス電源
- 7 a、8 キャパシタンス素子
- 9 抵抗器
- 10、32 インダクタンス素子

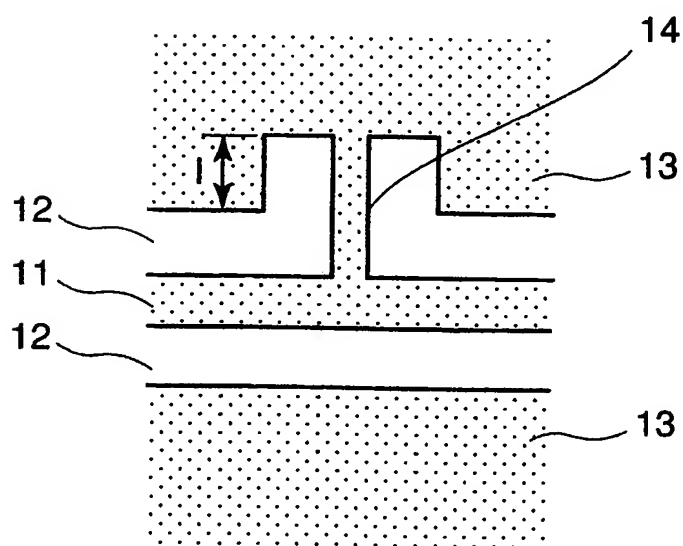
- 1 1、2 1 信号導体
- 1 2、2 2 隙間
- 1 3、2 3 接地導体
- 1 4、1 6 導体片
- 1 5 キャパシタンス素子
- 3 0 共振器
- 3 1 第 1 のキャパシタンス素子
- 3 3 第 2 のキャパシタンス素子
- 3 4 第 3 のキャパシタンス素子

【図 2】

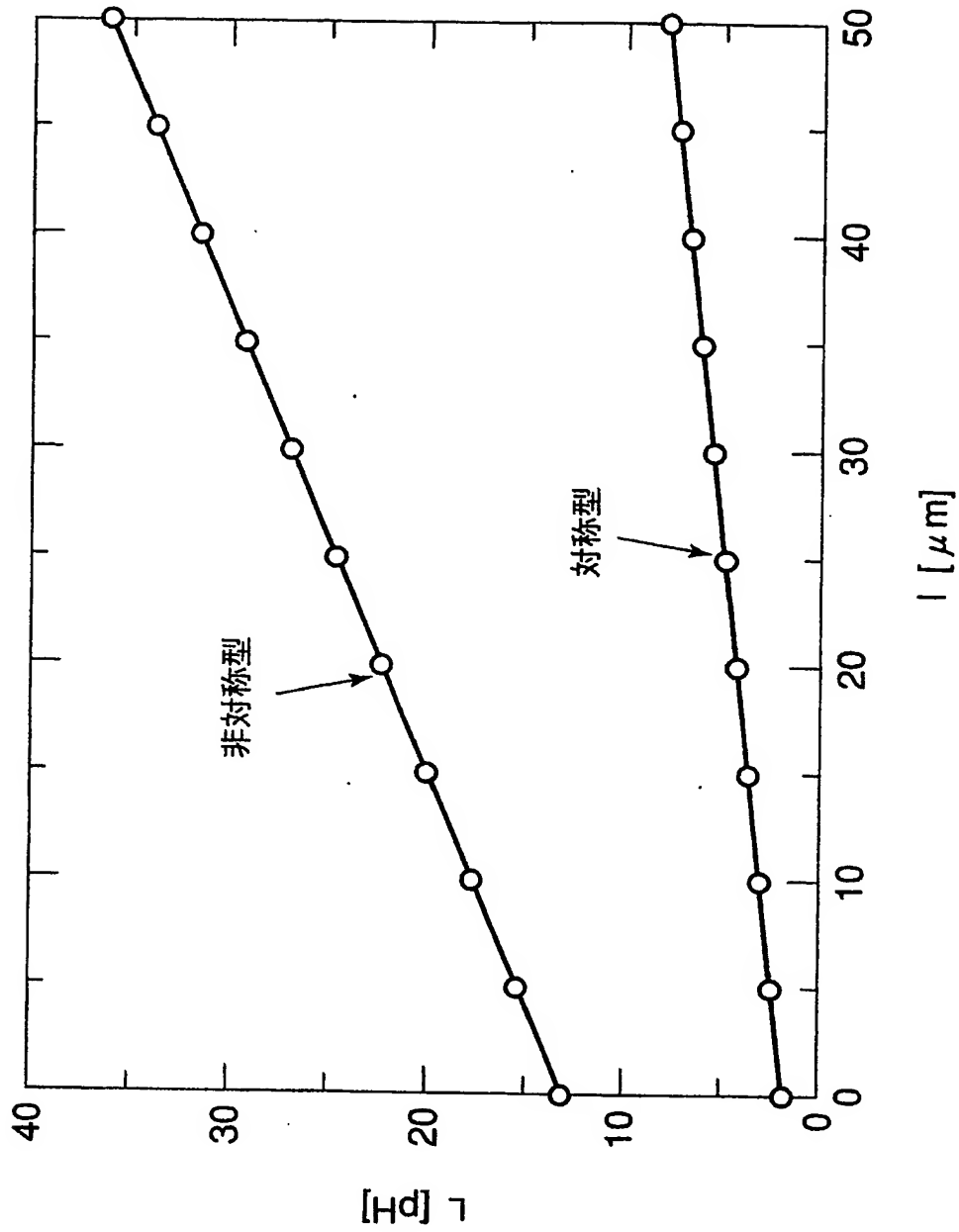
(a)



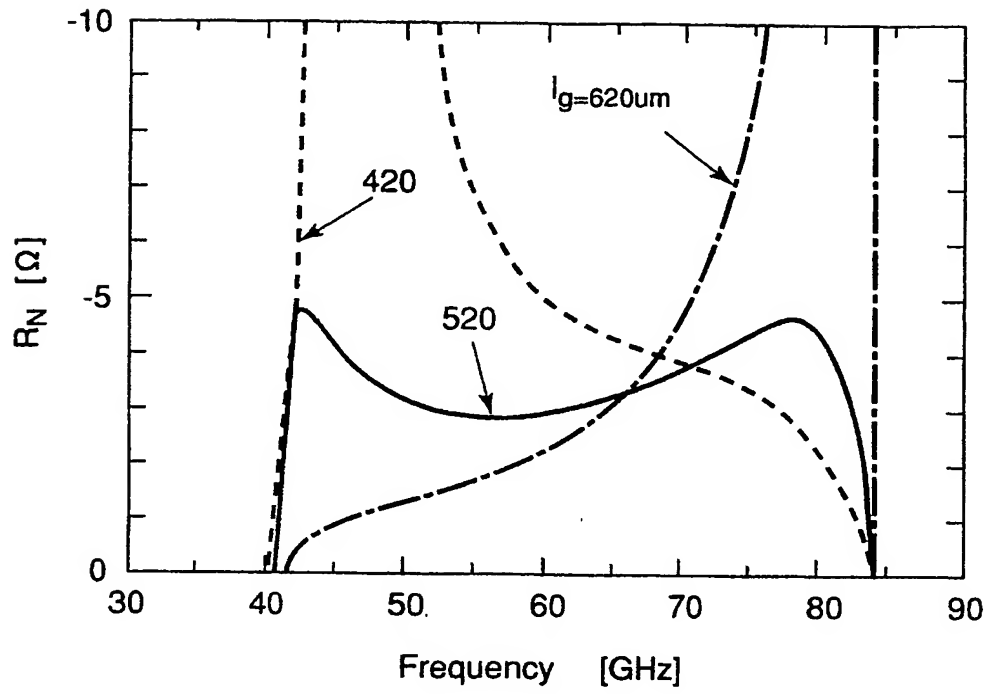
(b)



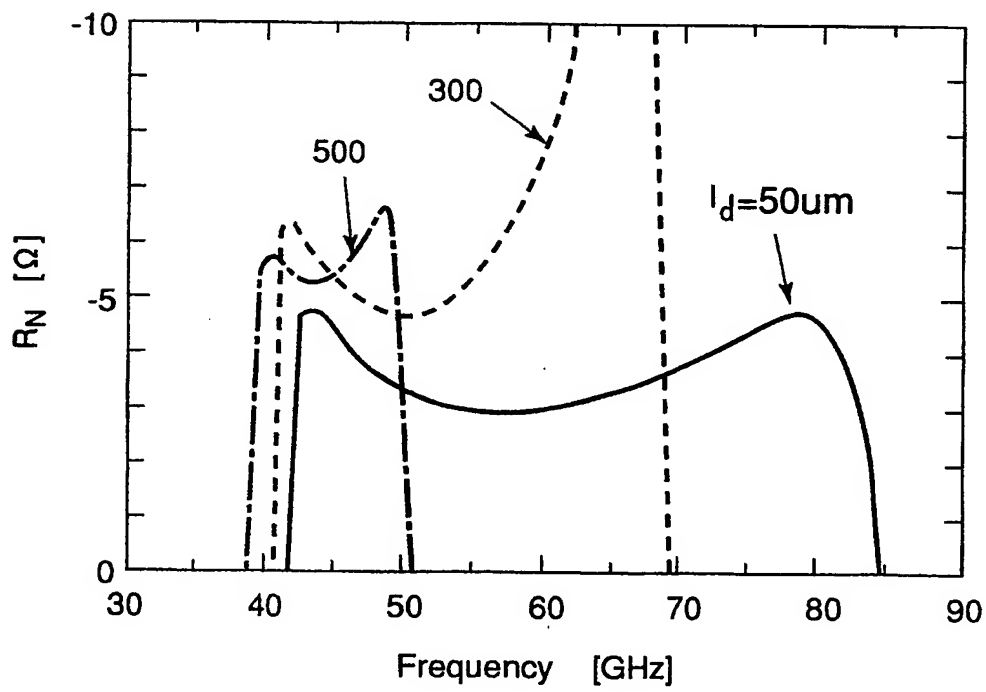
【図 3】



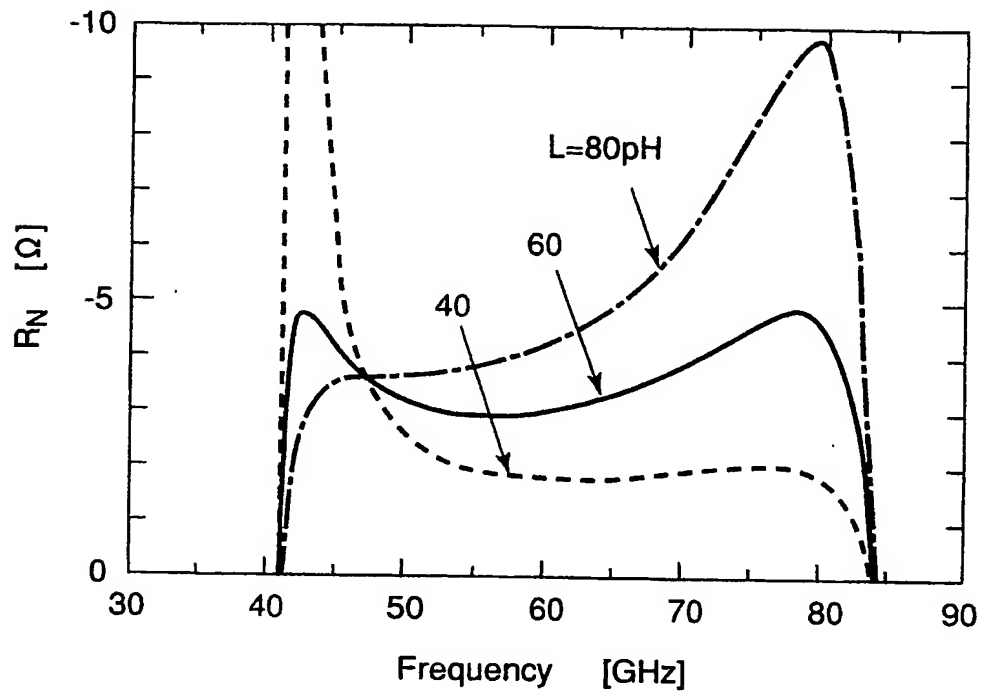
【図 4】



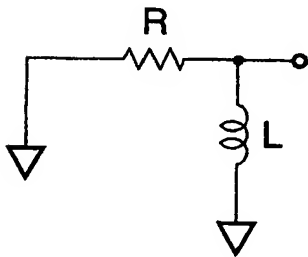
【図 5】



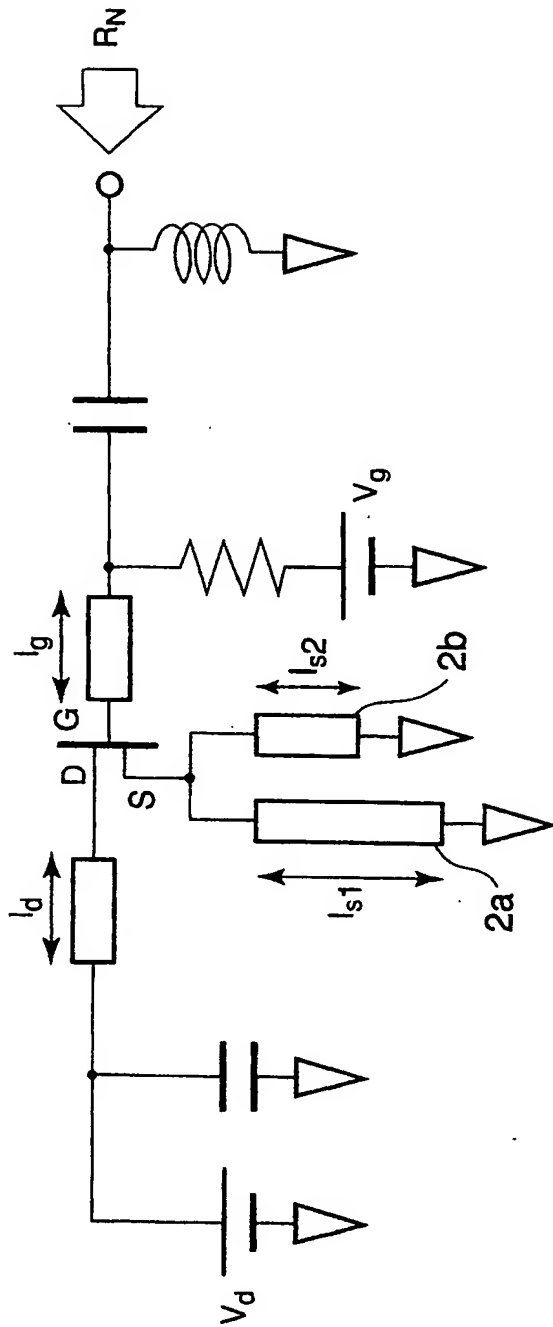
【図 6】



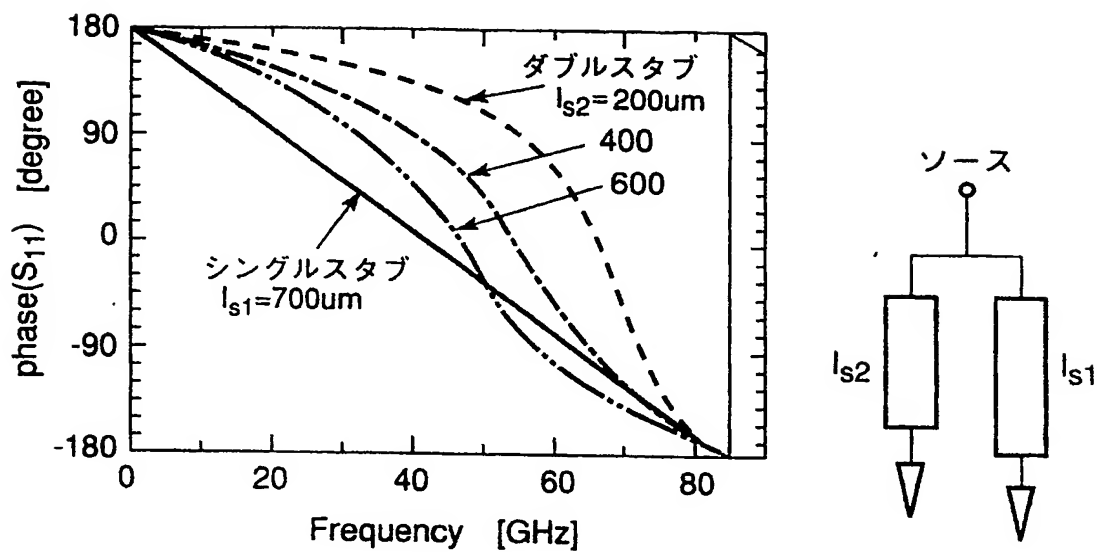
【図 7】



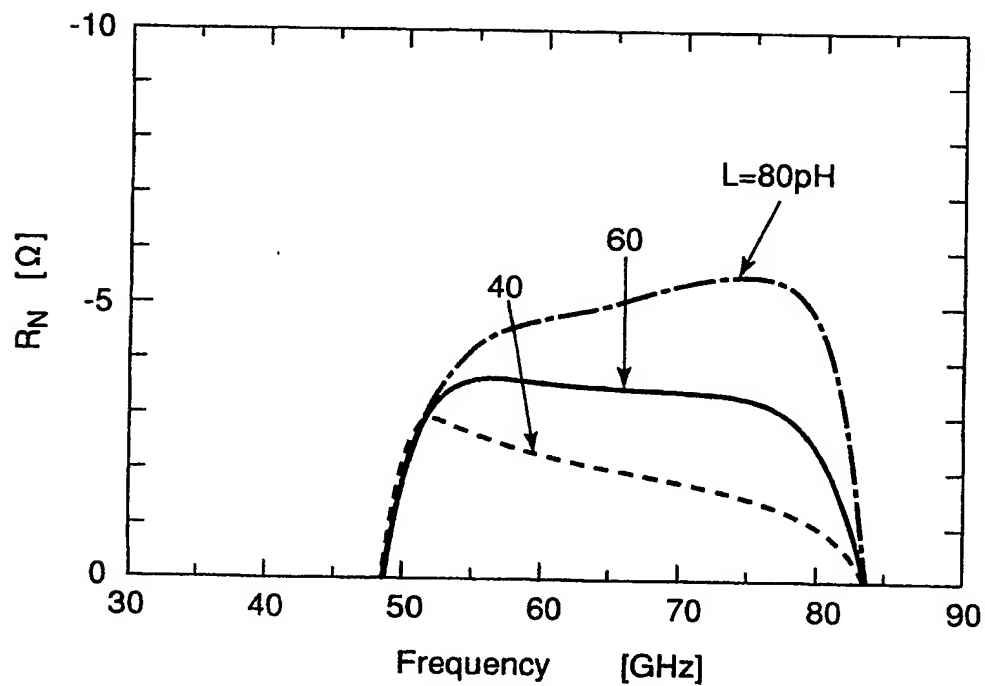
【図 8】



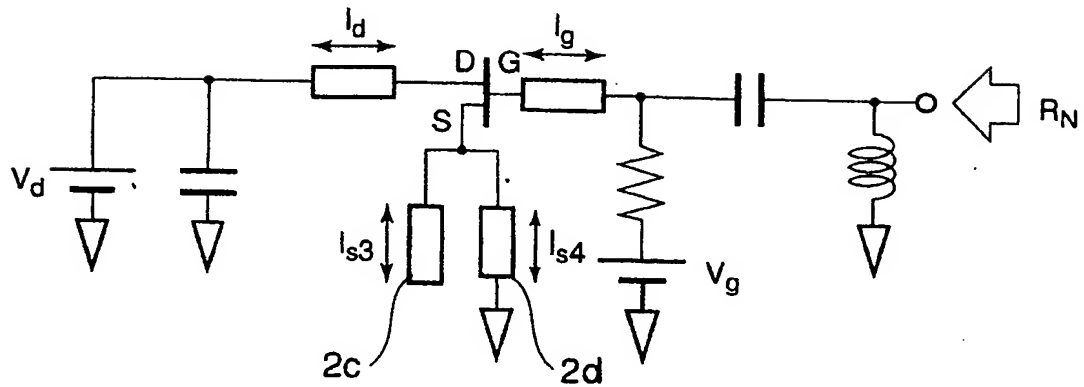
【図 9】



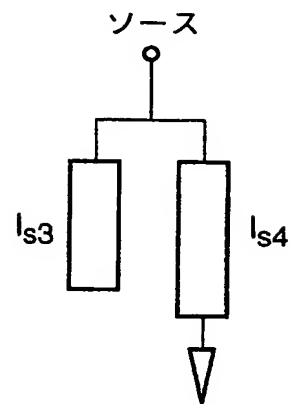
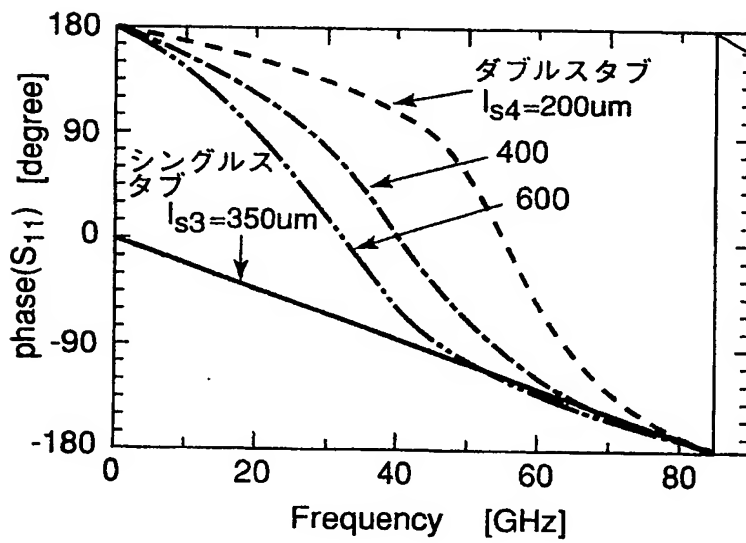
【図 10】



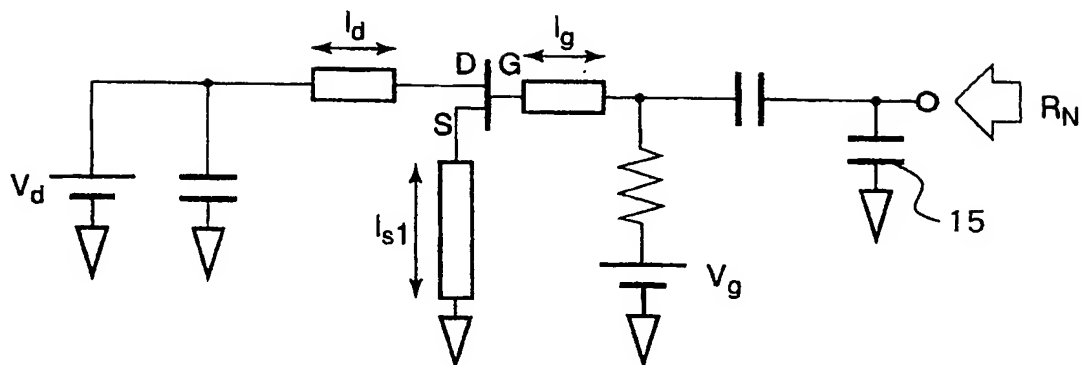
【図 11】



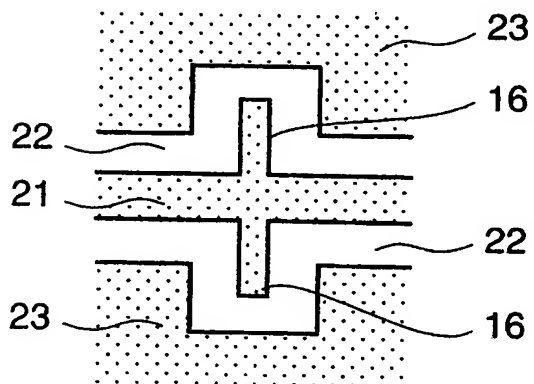
【図 12】



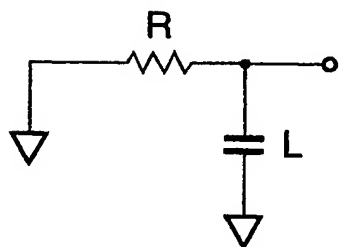
【図 13】



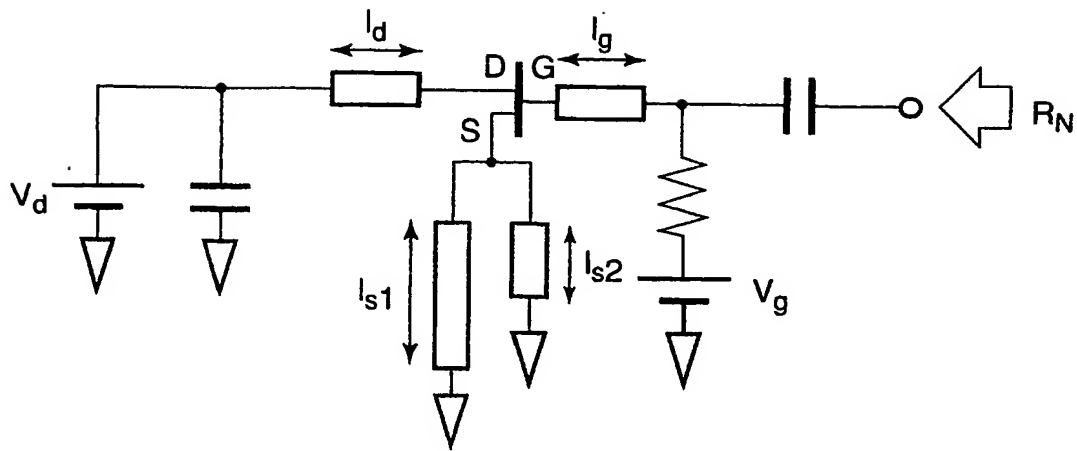
【図 14】



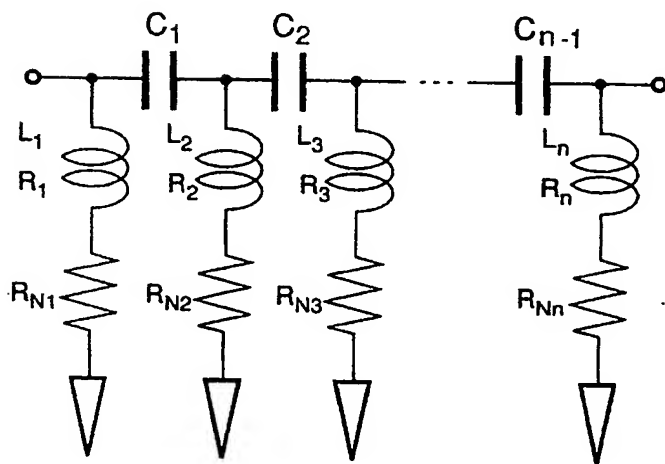
【図 15】



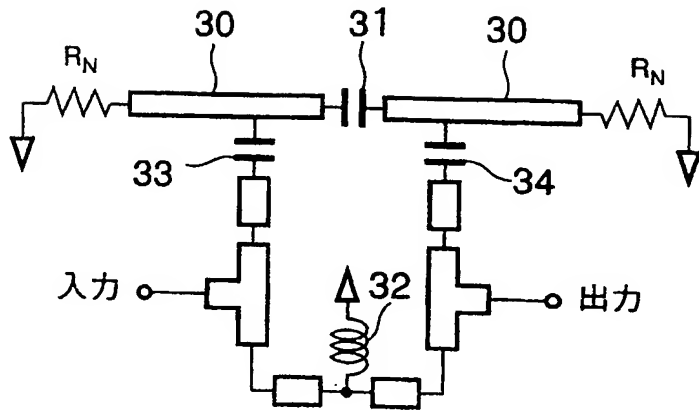
【図 16】



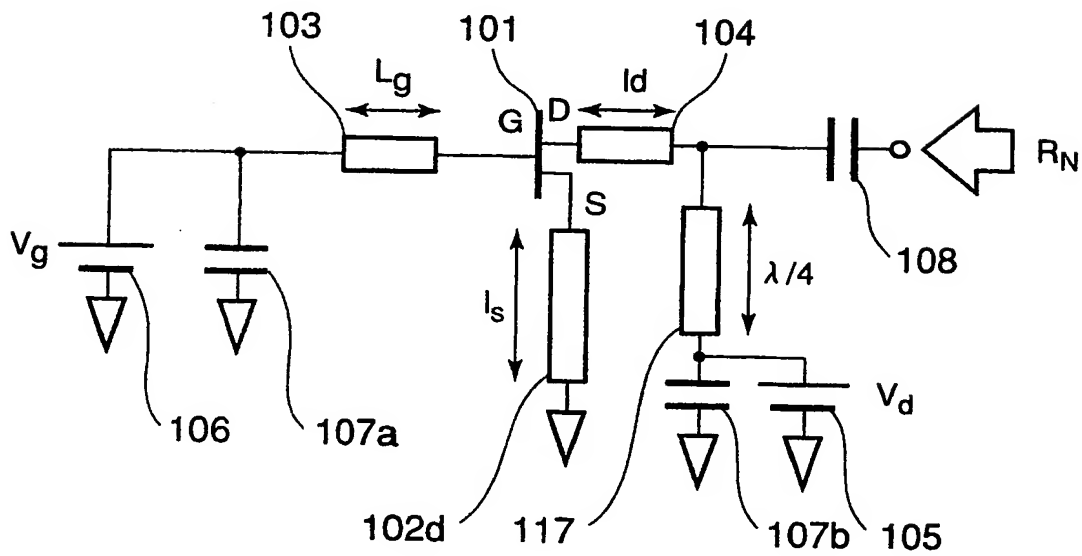
【図 17】



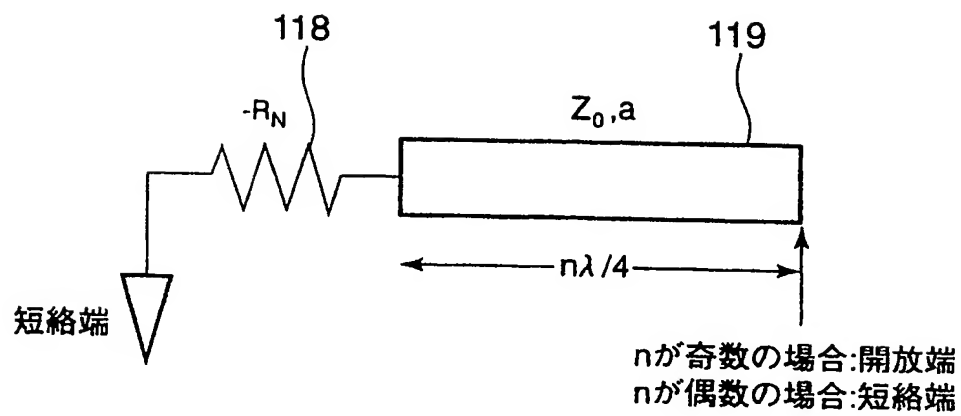
【図 18】



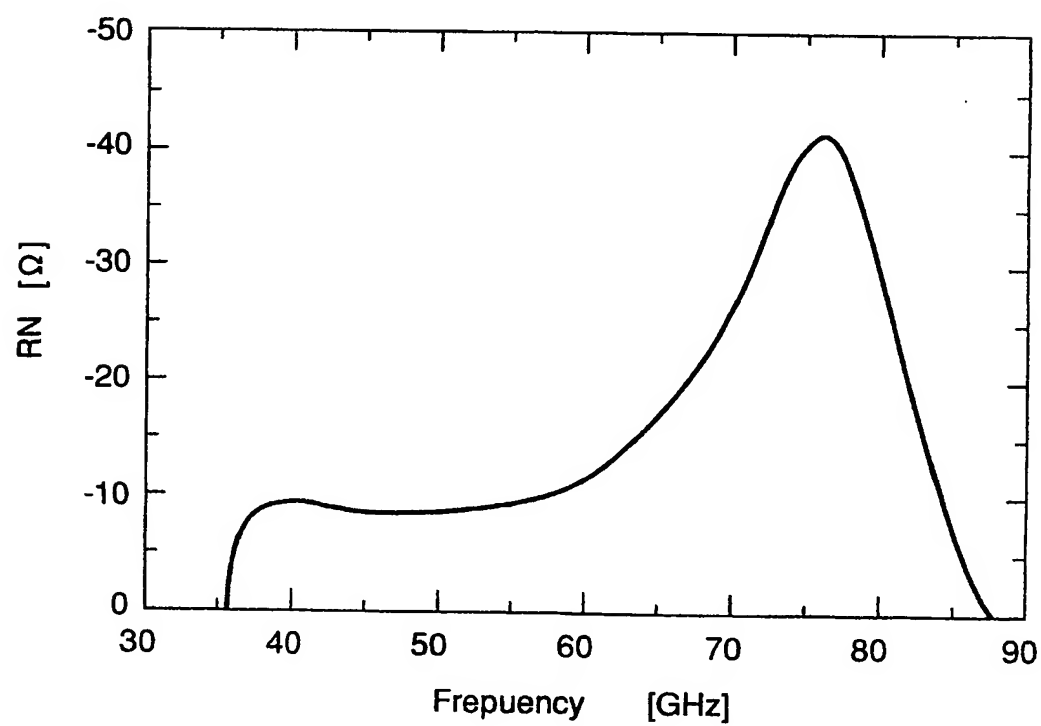
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 広い帯域で一定な負性抵抗値が得られるとともに、調整し易い構造の分布定数線路から成る負性抵抗回路を提供する。

【解決手段】 トランジスタと、トランジスタの3つの端子にそれぞれ接続される分布定数線路とを有する負性抵抗回路であって、負性抵抗回路の出力端子と接地電位間に接続されるインダクタンス素子を有し、該インダクタンス素子の値により負性抵抗値が調整される構成とする。または、負性抵抗回路の出力端子と接地電位間に接続されるキャパシタンス素子を有し、該キャパシタンス素子の値により負性抵抗値が調整される構成とする。

【選択図】 図1

特願 2 0 0 2 - 3 5 5 3 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.